

Wafer-Level-3D-Integrationsverfahren für hochsensitive optische Sensoren

Lukas Kalwa¹, Stefan Gläser¹, Jennifer Ruskowski¹, Martin Figge¹, Holger Kappert¹, Holger Vogt^{1,2}

¹Fraunhofer-Institut für Mikroelektronische Schaltung und Systeme IMS, Finkenstraße 61,
47057 Duisburg, Germany

²Universität Duisburg-Essen (UDE), Bismarckstraße 81, 47057 Duisburg, Germany

Zusammenfassung

Dieser Beitrag beschäftigt sich mit der 3D-Integration von hochsensitiven Pixelelementen mit einer separat gefertigten Pixelelektronik. Durch Ausnutzung der dritten Dimension, können optische Sensoren mit der zugehörigen interpretierenden und signalverarbeitenden Schaltungslogik, in einem gemeinsamen Wafer-zu-Wafer Bondprozess gefertigt werden. Als Elemente der optischen Sensorik werden schnell reagierende und maximal lichtensitive Einzelphoton-Lawinenphotodioden (Single Photon Avalanche Diode, SPAD) verwendet. Diese werden in speziellen Makropixelstrukturen zusammengefasst und durch patentierte Auslese-Algorithmen, integriert auf dem Schaltungswafer, ausgelesen. Durch die integrierte Pixelelektronik kann adaptiv auf sich ändernde Umfeldeinflüsse reagiert werden. Zur Herstellung einer qualitativ hochwertigen mechanischen Verbindung zwischen Sensor- und Schaltungswafer wurden die Fertigungsprozess bezüglich Oberflächenrauheit, Waferbiegung, Topologie und Layout optimiert. Für die elektrische Verbindung wurde eine spezielle Vorderseiten-Silizium-Durchkontaktierung verwendet. Die Zuverlässigkeit der Verbindungen konnte durch Temperaturlastwechsel bestätigt werden. Für die SPAD-Sensorelemente wurden die wichtigsten Kenngrößen (Durchbruchspannung, Dunkelzählrate und Quanteneffizienz) im Waferverbund vermessen.

Keywords: SPAD, Optische Sensoren, 3D-Integrationsverfahren, Wafer-to-Wafer Bonding, Backside Illumination (BSI)

1. Einleitung

Forschungs- und Entwicklungsaktivitäten im Bereich der Mikro- und Nano-Elektronik führten in den letzten Jahrzehnten zu immer kleineren Strukturgrößen, was zu einer kontinuierlich wachsenden Integrationsdichte von Sensoren, Speichern und verarbeitenden Schaltungen führte. Auf Grund der physikalischen Limitierung durch die Atomabmessungen stagniert jedoch das enorme technologische Wachstum bei der Beschränkung auf eine Waferebene. Es gibt bereits heute vielfältige Ansätze eine Integration von verschiedenen mikro-/ nanoelektrischen Bauelementen in drei Raumdimensionen zu realisieren und den Trend von kompakten und leistungsstarken Bauelementen fortzusetzen („More than Moore“). Mit der 3D-Integration erschließen sich neben der Möglichkeit einer heterogenen Integration, eine höhere Integrationsdichte, eine Kostenreduktion und kürzere Verbindungswege.

Am Fraunhofer IMS hat sich für den Verbindungsaufbau von Sensor und Schaltung das Chip-zu-Wafer-Verfahren etabliert. Hierbei werden über einen Flip-Chip-Prozess die zuvor aus dem Sensorwafer vereinzelt Sensor-

Chips auf den Schaltungs-Wafer ausgerichtet und fixiert. Über galvanische Strukturen auf der Chip- und auf der Waferseite wird mit dem Solid-Liquid-Interdiffusion-Verfahren (SLID) ein hochtemperaturbeständiger Kontakt bei niedriger Prozesstemperatur erzeugt. Der Sensor und die Schaltungseinheit müssen sich nicht auf gleich großen Wafern befinden, was eine heterogene 3D-Integration von unterschiedlichen Materialien ermöglicht. Zudem besteht die Möglichkeit eine Vorsortierung durchzuführen, so dass ausschließlich fehlerfrei qualifizierte Chips (KGDs, known-good-dies) aufgebaut werden. Dieser Einzelchipaufbau erfordert jedoch lange Prozesszeiten, insbesondere für kleine Chip-Größen. Eine deutliche Kostenreduktion und Durchsatzsteigerung, im Vergleich zum Chip-zu-Wafer-Verfahren, kann nur durch ein Wafer-zu-Wafer Fügeverfahren erzielt werden.

Dazu wurde in dieser Arbeit ein CMOS-kompatibler Bondprozess für Sensor- und Schaltungswafer aus der hauseigenen 8-Zoll CMOS-Linie entwickelt.

Zur Qualitätsprüfung der entwickelten 3D-Integration und der hergestellten Waferverbindung, wurden die elektrische

Kontaktierung charakterisiert und eine Zuverlässigkeitsprüfung durchgeführt. Um die Kompatibilität des Verfahrens zur Herstellung eines Sensorsystem aus SPAD und ROIC (ReadOut-Integrated Circuit) zu prüfen, wurden abschließend die kritischen Kenngrößen Durchbruchspannung, Dunkelzählrate, Quanteneffizienz der SPADs sowie der Kettenwiderstand der Durchkontaktierung charakterisiert.

2. Prozessablauf

Zur Integration der beiden Wafer wurde ein direkter Bondprozess („Direct-Wafer-Bonding“) mit anschließender Nachbearbeitung, bestehend aus 6 Einzelschritten, entwickelt (siehe Abbildung 1):

- 1) Separate Fertigung der Sensor- und Schaltungs-Wafer in der CMOS-Linie
- 2) Direktes Oxid-zu-Oxid-Bonden mit optimierten Oberflächeneigenschaften
- 3) Ganzflächiges Dünnschleifen mit anschließendem Plasmaätzen
- 4) Ätzung der Öffnungen zur Durchkontaktierung
- 5) Elektrische Kontaktierung durch Abscheidung eines Materialschichtstapels
- 6) Auffüllung der Öffnungen mit Aluminium und Strukturierung der Kontaktierungs pads

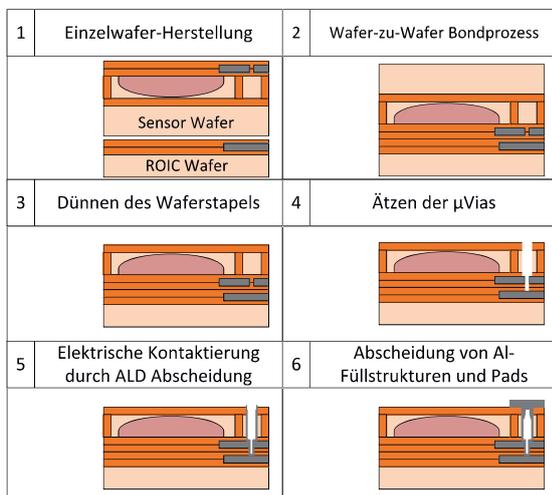


Abb. 1: Schematischer Ablauf des direkten Wafer-zu-Wafer-Bondprozesses mit nachfolgender elektrischer Durchkontaktierung

3. Optimierung des Bondprozesses

Als Wafer-zu-Wafer Fügeverfahren wurde in dieser Arbeit das hydrophile Siliziumdirektbonds verwendet. In diesem

Verfahren basiert die Herstellung der mechanischen Verbindung auf der Ausbildung von kovalenten Siloxan (Si-O-Si)-Bindungen im Bereich des Bondinterfaces. Dazu werden zunächst die Waferoberflächen in einem Sauerstoffplasma hydrophilisiert und aktiviert um anschließend in einer H₂O-Atmosphäre Silanol (Si-OH)-Gruppen zu erzeugen. Die Wafer werden aufeinander ausgerichtet und mit einer Kraft von mehreren Kilonewton in Kontakt gebracht um die Bildung von Wasserstoffbrücken zu ermöglichen. Abschließend wird das Waferpaar auf eine Temperatur von über 250 °C erhitzt, wodurch Wassermoleküle entlang der Grenzflächen als auch in das Oxid diffundieren. Diese Abdiffusion führt zu einer Annäherung der gegenüberliegenden Silanol-Gruppen, die unter Abspaltung eines Wassermoleküls eine kovalente Siloxan-Verbindung bilden [2]. Dieses Bondverfahren stellt hohe Anforderungen an die Oberflächenrauheit und Topologie der Wafer.

Die SPAD- und ROIC-Wafer kommen jeweils aus einem standardisierten CMOS-Prozess und können ohne Prozessanpassung nicht über das Oxid-zu-Oxid-Bondverfahren verbunden werden. Dazu wurde nach dem CMOS-Prozess eine ganzflächige Oxidschicht auf die Kontaktflächen der jeweiligen Wafer abgeschieden. Ein Unterschied zwischen den beiden CMOS-Wafern ist das verwendete Substrat. Während für den ROIC standard Bulk-Wafer eingesetzt werden, werden Silicon-on-Insulator (SOI) -Wafer für die Herstellung der SPADs verwendet. Das vergrabene Oxid (buried oxide, BOX) dient für die Nachbearbeitung des Waferstapels als Ätzstopp beim Dünnen des Wafers (siehe Abb.1, Schritt 3) und induziert bereits bei der Herstellung des SPAD-Wafers in der CMOS-Linie eine deutliche Waferdurchbiegung.

Zur Herstellung einer qualitativ hochwertigen Verbindung wurde der Prozessablauf hinsichtlich folgender Oberflächeneigenschaften optimiert:

- Mikrorauheit
- Topologie
- Biegung
- Partikelkontamination.

Um eine hohe Bondfestigkeit zu erhalten sollte die Oberflächenrauheit der zu bondenden Wafer möglichst gering sein [3]. Als Richtwert für das direkte Oxid-Bonden hat sich eine quadratische Rauheit (eng. rms-roughness, Wurzel des Mittelquadrates) von unter 0,5 nm etabliert [4]. Mit einem mehrstufigen chemisch-

mechanischen Polierverfahren nach der Oxidabscheidung konnten folgende Kennwerte (gemessen mit einem Rasterkraftmikroskop, AFM) erreicht werden (siehe Tabelle 1).

Tab. 1: Kennwerte der Oberflächenrauheitsmessung der SPAD- und ROIC-Wafer mittels AFM

Wafer	Mittlere Rauheit [nm]	R_a	Quadratische Rauheit [nm]	R_q
SPAD	0,22		0,28	
ROIC	0,24		0,30	

Neben einer erhöhten Oberflächenrauheit können auch ausgeprägte Topologien die Waferkontaktfläche beim Bonden verringern und dadurch die Bondfestigkeit schwächen. Zur Reduktion dieser Topologien, wurde die Passivierungsöffnung erst bei der Durchkontaktierung des Waferstapels realisiert. Zusätzlich wurden kritische Strukturen wie z.B. Metallpads homogen im Layout verteilt, um durch diese Dezentralisierung den Einfluss der Topologie auf den Waferbond zu reduzieren. Auf diese Weise wurden Topologie-Unterschiede größer als 20 nm vermieden.

Selbst kleinste Partikel mit einem Durchmesser von 1 μm können Bonddefekte mit einem Durchmesser von mehreren mm erzeugen [5]. Um Partikelkontaminationen auf den Wafer zu verhindern, wird eine hochfrequente Reinigung (Megasonic-Cleaning) mittels DI-Wasser vorgenommen. Die hochfrequente Reinigung kommt ohne zusätzliche Chemikalien aus und kann einfach in den Prozessablauf integriert werden.

Eine starke Waferbiegung, sowohl des Sensors als auch des Schaltungswafers, kann zu einer Dejustage des Waferbonds führen und zu einer Delamination des Waferstapels in der Nachbearbeitung. Daher wurde bei der Herstellung des biegunskritischen Sensorwafers (SOI-Wafer) eine Stresskompensationsschicht eingeführt, die eine Reduktion der Waferbiegung um bis zu 75% ermöglicht (siehe Tabelle 2).

Dabei wurden zwei Verfahren untersucht:

- 1) Es wurde eine Nitridschicht mit Zugspannung auf der Wafervorderseite im Frontend Prozess abgeschieden.
- 2) Im Backend Prozess wurde Oxidschicht mit Druckspannung auf der Waferrückseite abgeschieden.

Tab. 2: Stresskompensationsvarianten und gemessene Waferdurchbiegung des Sensorwafers

Wafer	Kompensationsvarianten	Biegung Wafermitte [μm]
SPAD	Ausgangszustand	-100
	Nitridschicht (Frontend-Prozess)	-57
	Rückseiten-Oxid (Backend-Prozess)	-25

Letzteres Verfahren bietet neben einer deutlichen Reduktion der Waferbiegung den Vorteil, dass der CMOS Frontend-Prozess nicht geändert werden muss und zusätzlich das Oxid in der Nachbearbeitung des Waferstapels beim Dünnschleifen wieder entfernt werden kann. Zudem muss keine zusätzliche Schicht bei der Durchkontaktierungs-Ätzung entfernt werden. Folglich wurde für die weitere Prozessentwicklung die Abscheidung von Oxid auf die Rückseite des Sensorwafers verwendet.

Zur Herstellung der elektrischen Kontaktierung müssen beide Wafer präzise aufeinander ausgerichtet werden. Die Waferbiegung hat hierbei einen erheblichen Einfluss auf die Ausrichtungsgenauigkeit [6]. Mit dem entwickelten Bondprozess kann eine Platziergenauigkeit von unter 7 μm erreicht werden.

Während des ganzflächigen Dünnschleifens und der anschließenden Plasmaätzung wird zusätzlicher Stress in den Wafer induziert. Um diesem Stress standzuhalten, muss das Bondinterface über eine hohe Bondfestigkeit verfügen. Schertests an unstrukturierten Wafern, die mit dem optimierten Oxid-Bondprozess in Verbund gebracht wurden, zeigen Scherfestigkeiten von über 4 kg/mm^2 .

4. Micro-Vias

Bei der Darstellung des Bondprozesses in Kapitel 2 wurde bereits erwähnt, dass die elektrische Kontaktierung der beiden Wafer (SPAD- und ROIC-Wafer) durch eine Vorderseiten-Silizium-Durchkontaktierungen (TSV: Through Silicon Vias) realisiert wird. Eine Besonderheit des Prozessablaufs ist, dass die Ätzung der Strukturen erst in der Nachbearbeitung des Waferstapels erfolgt. Diese Durchkontaktierungen – im Folgenden als μVias bezeichnet – sind geätzte Strukturen mit einigen Mikrometern im Durchmesser, die auf den jeweiligen Metall-Pads von SPAD- und ROIC-Wafer stoppen. In Abbildung 2 ist eine schematische Zeichnung der μVia -Struktur darge-

stellt. Abbildung 3 zeigt die Realisierung dieser Struktur auf einem gebondeten Wafer im REM-Querschnitt. Zur elektrischen Kontaktierung wird im Anschluss ein leitfähiger mittels ALD (Atomic Layer Deposition) optimierter Materialstapel in die μ Vias bzw. auf den Waferstapel abgeschieden

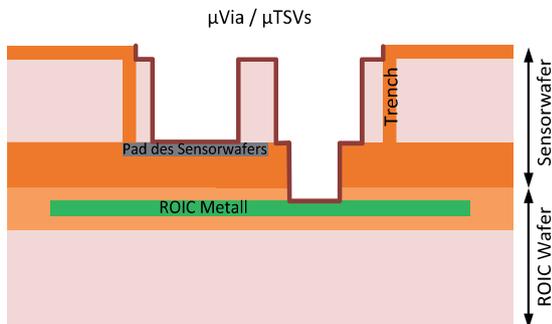


Abb. 2: Schematische Darstellung eines μ Vias mit zwei Einzelzertungen bis auf die Metalle von SPAD – und ROIC-Wafer, sowie der elektrischen Verbindung über eine leitfähige Schicht.

Wichtig bei der Füllung der μ Vias ist die Erzeugung einer durchgehenden elektrisch leitenden Schicht. Ein reiner Sputterprozess würde die $6 \times 2,4 \mu\text{m}^2$ großen Strukturen nicht konform füllen.

Daher wurde zur Optimierung der Kontaktierung im Anschluss an den Sputterprozess eine leitfähige homogene ALD-Schicht abgeschieden.

Durch die Füllung der beiden Einzelzertungen im μ Vias entsteht eine elektrische Brückenverbindung zwischen den Wafern.

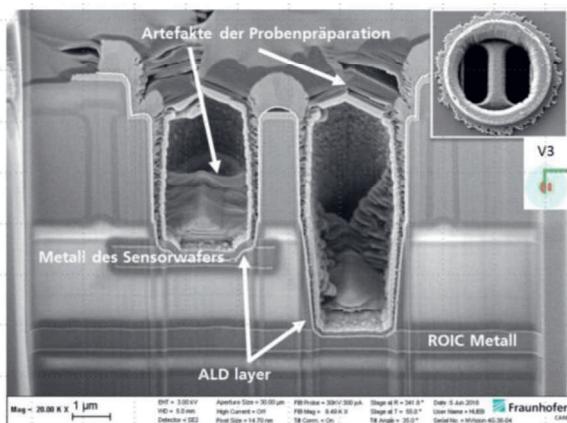


Abb. 3: REM-Querschnitt eines μ Vias (Version V3). Inserts zeigen die REM sowie die schematische Aufsicht.

Die Qualität des elektrischen Kontakts ist dabei maßgebliche von Größe, Form und Anzahl der

μ Vias abhängig und kann an beliebige Anforderungen angepasst werden. In diesem Beitrag werden vier untersuchte Versionen von μ Vias vorgestellt (siehe Abbildung 4). Prinzipiell sind beliebig viele weitere Formgebungen möglich.

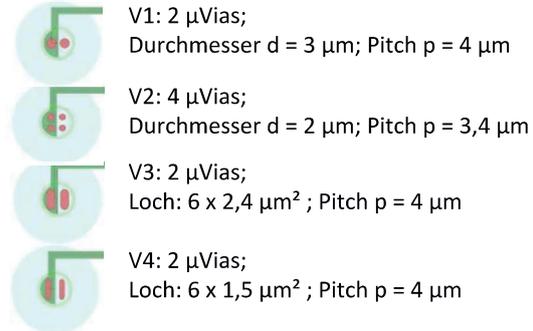


Abb. 4: Schematische Aufsicht der vier vorgestellten μ Via Varianten (links), sowie die zugehörige Beschreibung (rechts).

5. Charakterisierung der elektrische Verbindung

Die Hauptmerkmale bei der Charakterisierung der elektrischen Verbindung von zwei Wafern ist der Widerstand der μ Vias, sowie dessen Zuverlässigkeit. Zur Untersuchung dieser Parameter wurden zunächst 100 μ Vias in Reihe geschaltet und deren Kettenwiderstand direkt nach der Wafer-Prozessierung gemessen.

Zur Zuverlässigkeitsuntersuchung (ZUV) wurden jeweils Viertelwafer (40 Chips) mit bis zu 500 Temperaturzyklen gestresst und dabei Komplettausfälle sowie die prozentuale Änderung des μ Via-Widerstands fortlaufend analysiert. Die Kettenwiderstände für die vier in Abbildung 4 vorgestellten μ Via-Varianten sind in Tabelle 3 aufgeführt.

Tab. 3: μ Via Varianten mit ihren zugehörigen Widerständen / Via

μ Via Version	Layout	Widerstand Ω /Via
V1		43
V2		71
V3		14
V4		25

Die Widerstandswerte pro μ Via liegen dabei zwischen 14 und 71 Ω /Via und stehen wie erwartet in Abhängigkeit zur Größe, Form und Anzahl der μ Vias.

Die Version 3, bei der die Verbindung über zwei Langlöcher realisiert ist, zeigt dabei den geringsten Widerstand (siehe Querschnitt und Aufsicht in Abbildung 3). Das Ergebnis entspricht den Erwartungen, da bei dieser Variante der größte Füllfaktor in Bezug zur Padfläche besteht.

Die an die AECQ100 grade 1 und JESD22 A104E Normen angelehnte Zuverlässigkeitsuntersuchung (500 Temperaturzyklen von -65 bis 150 °C, 2 Zyklen pro Stunde) der Verbindung unter Temperatureinwirkung ist exemplarisch für die μ Via-Variante-Version 3 in Abbildung 4 dargestellt.

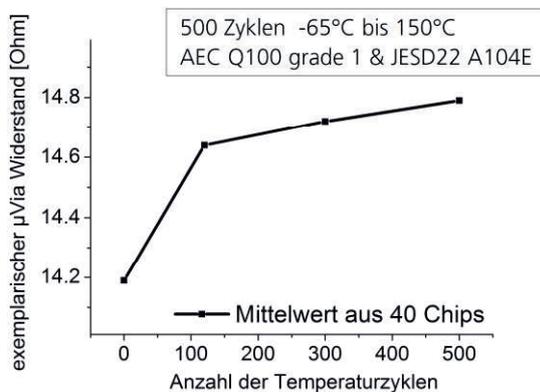


Abb. 4: Messergebnisse der Zuverlässigkeitsuntersuchung einer μ Via Kette: Widerstand eines μ Vias über die Anzahl der Temperaturzyklen gemäß dem AECQ100 Grade 1 Standard.

Defekte wurde durch die Belastung nicht festgestellt und die gemittelte Widerstandsänderung ist mit kleiner 5% ein positives Ergebnis im Hinblick auf eine Prozessqualifizierung.

6. Funktionalitätsprüfung der SPADs

Neben der Charakterisierung der elektrischen Verbindung zwischen den Wafern, ist für einen hochempfindlichen Sensor das Pixel – in diesem Fall die maximal lichtempfindliche Einzelphoton-Lawinenphotodiode (SPAD) – ein wesentlicher Bestandteil.

Wie oben gezeigt ist der vorgestellte Prozess an Hand der Ergebnisse der elektrischen Verbindung bereits als erfolgreich und robust einzustufen. Da dieser jedoch hauptsächlich für die 3D-Integration von SPADs und Ausleseelektronik verwendet wird, ist es essentiell auch die grundlegenden Eigenschaften der SPADs im Waferverbund auf Plausibilität zu prüfen um Beschädigungen der SPADs im Verlauf des

Prozesses auszuschließen. Als Referenz für die Plausibilitätsprüfung wurden SPAD-Daten aus einem leicht abgewandelten Prozess verwendet werden [7].

Abbildung 5 zeigt exemplarisch den Aufbau eines solchen SPADs in Aufsicht und im Querschnitt. Dabei ist das SPAD von einer Grabenisolation umgeben. Das isolierte Substrat wird vollständig durch eine niedrige Dotierung zu einer N-Wanne umgeformt. Ein sogenannter Guard Ring (GR) verhindert Lawinendurchbrüche an der Oberfläche zwischen Anode (p+) und Kathode (n+), sodass die Lawinendurchbrüche nur zwischen dem p+ und einer speziellen SPAD-Implantation „n-SPAD“ stattfindet. Dieser Bereich ist der aktive Bereich der SPAD.

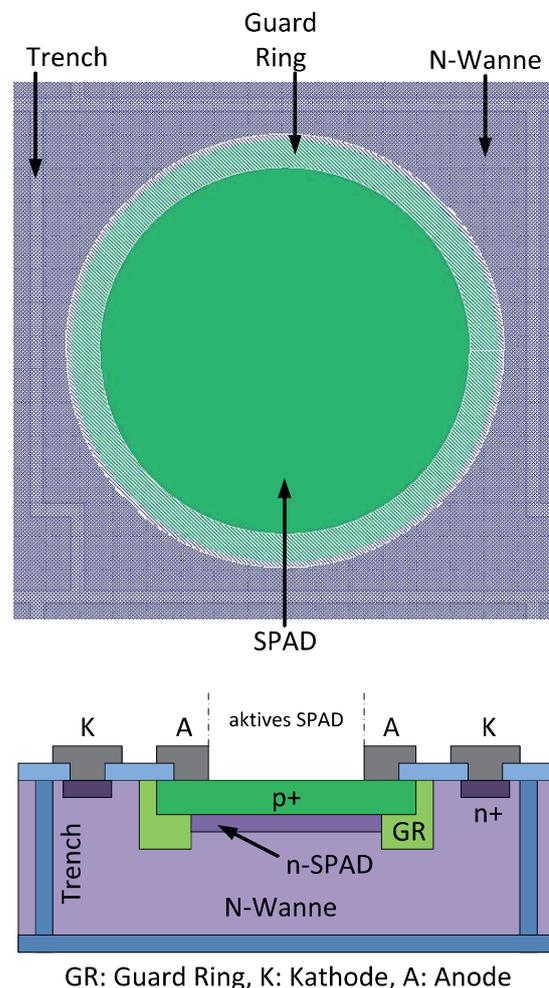


Abb. 5: Schematischer Aufbau eines SPADs: Aufsicht (oben), Querschnitt (unten).

Abbildung 6 zeigt die Strom-Spannungskennlinie des SPADs. Die Messung wurde dabei zunächst im Dunkeln und anschließend bei Licht durchgeführt. Dabei konnten die folgenden Messergebnisse gesammelt werden:

- 1) Die SPADs brechen jeweils bei einer Spannung von ca. 24 V durch, was durch einen signifikanten Anstieg des Stromes gekennzeichnet ist. Der Arbeitspunkt der SPAD sollte deshalb oberhalb von 24 V liegen. Die Durchbruchspannung der etablierten SPAD-Technologie liegt bei ca. 26 V [7].
- 2) Der Einfluss des Lichts ist deutlich am Strom unterhalb des Diodendurchbruchs zu sehen, der bei Beleuchtung um mehr als 4 Größenordnungen ansteigt. Dies demonstriert bereits die generelle Lichtempfindlichkeit des Bauelements. Eine quantitative Aussage über die Lichtempfindlichkeit ist nur bei definierter Beleuchtung möglich.

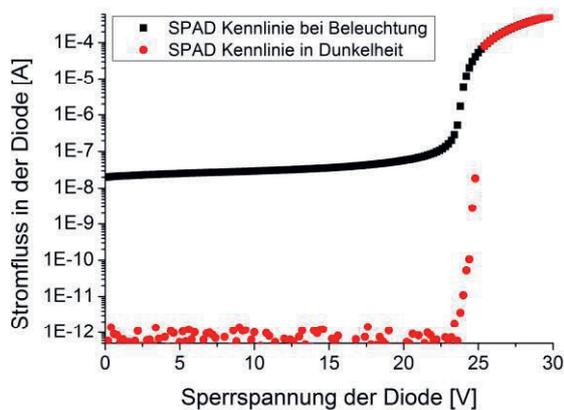


Abb. 6: Messergebnisse der I-V-Charakterisierung eines SPADs bei Raumtemperatur in Dunkelheit und bei Beleuchtung.

Eine weitere wichtige Größe einer SPAD ist die Dunkelzählrate. Diese wird im Folgenden quantitativ untersucht. Dazu wird das Bauelement im Geiger-Modus mit einer passiven externen Schaltung (Widerstand von 200 k Ω) betrieben. Bei der Messung befindet sich die Diode in Dunkelheit. Die Betriebsspannung liegt dabei jenseits der Durchbruchspannung und setzt sich aus der Durchbruchspannung und einem Volt Überspannung zusammen. Die im Geiger-Modus entstehenden Spannungs-Pulse über der Diode werden gezählt und ergeben die Dunkelzählrate. Diese liegt für die verwendeten Betriebsbedingungen bei den untersuchten SPADs bei Raumtemperatur im Mittel bei 310 Hz und ist damit weltweit gesehen ein SPAD mit der niedrigsten Dunkelzählrate [8].

Die optische Sensitivität der Diode kann über die Quanteneffizienz (Anzahl generierter

Elektronen-Loch-Paare / Anzahl der einfallenden Photonen) angegeben werden. Abbildung 7 zeigt die Quanteneffizienz für die Wellenlängen $\lambda = 440$ nm, $\lambda = 530$ nm, $\lambda = 625$ nm und $\lambda = 850$ nm. Die spektrale Abhängigkeit der Quanteneffizienz mit einem Maximum im roten Wellenlängenbereich entspricht dabei den typischen Charakterisierungskennwerten einer solchen Diode [7].

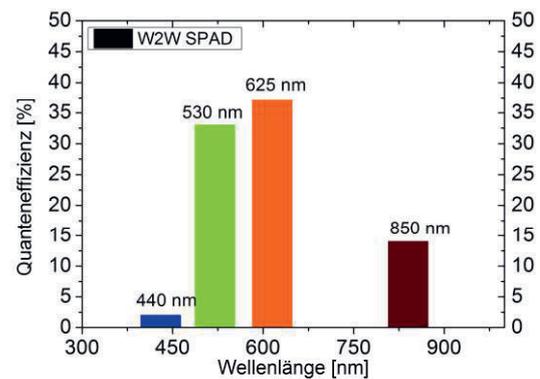


Abb. 7: Ergebnisse der Quanteneffizienzmessung für die Wellenlängen $\lambda = 440$ nm, $\lambda = 530$ nm, $\lambda = 625$ nm und $\lambda = 850$ nm.

Die aufgenommenen Messwerte befinden sich im Größenbereich der Vergleichskennwerte und zeigen, dass die SPADs nach der Prozessierung kontaktiert und funktionsfähig sind.

7. Zusammenfassung & Ausblick

Im Rahmen der Entwicklung eines alternativen Aufbau- und Verbindungsprozesses wurde ein Wafer-zu-Wafer-Prozess für die Verbindung und elektrische Kontaktierung von Sensoren und Schaltungen entwickelt.

Mit den vorgestellten Prozessen konnten die Oberflächeneigenschaften der SPAD- und ROIC-Wafer in Hinblick auf einen qualitativ hochwertigen Wafer-zu-Wafer-Bond bereits in der hauseigenen CMOS-Linie optimiert werden.

Das anschließende Oxid-zu-Oxide-Bonden kann bei CMOS-kompatiblen Temperaturen durchgeführt und auf unter 7 μ m präzise genau ausgerichtet werden.

Zur elektrischen Kontaktierung des Waferstapels wurde ein spezielles μ Via-Verfahren zur Vorderseiten-Silizium-Durchkontaktierungen mit anschließender Abscheidung eines ALD-optimierten Schichtstapels entwickelt. Mit diesem Verfahren können zuverlässige Kontaktierungen zwischen Sensor und Schaltung erzeugt werden, die über 500 Temperaturzyklen

von -65 bis 150 °C ohne Ausfall mit einer Widerstandsänderung kleiner 5% standhalten. Zusätzlich wurde die Funktionalität der SPADs im Anschluss an den Wafer-zu-Wafer-Prozess untersucht. Sowohl die Quanteneffizienz als auch die Dunkelzählrate und der Arbeitspunkt der SPADs entsprechen den Vergleichswerten der bisherig etablierten Technologie und zeigen, dass der entwickelte Wafer-zu-Wafer-Prozess neben einer verlässlichen Kontaktierung zu keiner Funktionalitätsbeeinträchtigung der SPADs führt. Der Prozess kann als kostengünstigere und durchsatzstärkere Alternative, zum am IMS etablierten, Chip-zu-Wafer-Verfahren eingesetzt werden.

Aktuell werden am Fraunhofer IMS weitere Entwicklungen zur Optimierung der SPAD-Performance im Wafer-zu-Wafer-Prozess vorgenommen. Hierzu zählen Verbesserungen des Füllfaktors und eine Erhöhung der Empfindlichkeit im nahinfraroten Bereich.

Mit dem Chip-zu-Wafer und Wafer-zu-Wafer-Verfahren stehen zwei leistungsfähige Prozesse zur Realisierung von 3D-Integrationen am Fraunhofer IMS zur Verfügung

Literaturnachweis

- [1] M. Beer, O.M. Schrey, J.F. Haase, J.Ruskowski, W. Brockherde, et al., "SPAD-based flash LiDAR sensor with high ambient light rejection for automotive applications", *Proc. of SPIE* 10540 (2018); doi: 10.1117/12.2286879
- [2] Q-Y.Tong, U. Gösele, "Wafer Bonding and Layer Splitting for Microsystems", *Advanced Materials* 11 (17), 1409-1425 (1999); doi: 10.1002/(SICI)1521-4095(199912)11:17<1409::AID-ADMA1409>3.0.CO;2-W
- [3] C.Gui, M.Elwenspoek, N.Tas, J.Gardeniers, "The effect of surface roughness on direct wafer bonding", *Journal of Applied Physics* 85, 7448 (1999);doi: <https://doi.org/10.1063/1.369377>
- [4] L.Nie, T.Shi, Z.Tang, G.Liao, "Pressure Aided Low Temperature Direct Bonding of Silicon Wafers with High Surface Roughness", *1st IEE International Conference on Nano/Micro Engineered and Molecular Systems* (2006); doi: 10.1109/NEMS.2006.334753
- [5] U. Gösele, Q-Y.Tong, "SEMICONDUCTOR WAFER BONDING", *Annual Review of Materials Science* 28, 215-241 (1998); doi: <https://doi.org/10.1146/annurev.matsci.28.1.215>
- [6] S.E. Steen, D. LaTulipe, A.W. Topol, D.J. Frank, K. Belote, D. Posillico, "Overlay as the key to drive wafer scale 3D integration", *Microelectronic Engineering* 84(5-8), 1412-1415 (2007); doi: <https://doi.org/10.1016/j.mee.2007.01.231>
- [7] D.Bronzi, F.Villa, S. Bellisai, B. Markovic, S. Tisa, A. Tosi, F. Zappa, S. Weyers, D. Durini, W. Brockherde, U. Paschen, "Low-noise and large-area CMOS SPADs with Timing Response free from Slow Tails", *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*; doi: 10.1109/ESSDERC.2012.6343375
- [8] D. Bronzi, F. Villa, S. Tisa, A. Tosi, F. Zappa, D. Durini, S. Weyers, W. Brockherde, "100 000 Frames/s 64 × 32 Single-Photon Detector Array for 2-D Imaging and 3-D Ranging", *IEEE Journal of Selected Topics in Quantum Electronics* 20, 354–363 (2014); doi: 10.1109/JSTQE.2014.2341562